

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2003-006144

(43)Date of publication of application : 10.01.2003

(51)Int.Cl.

G06F 13/36

G06F 3/06

G06F 12/02

G06F 12/04

G06F 13/38

H04L 12/56

(21)Application number : 2001-192202

(71)Applicant : HITACHI LTD

(22)Date of filing : 26.06.2001

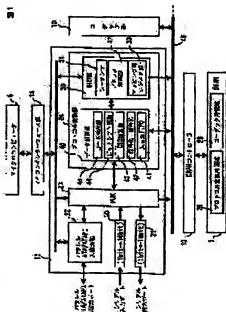
(72)Inventor : YAMATO TETSUYA
INADA HIROMITSU
MATSUDA KEISUKE
TAKADA KAZUYUKI
UTO AKIHIRO

(54) SEMICONDUCTOR INTEGRATED CIRCUIT AND COMPUTER-READABLE RECORDING MEDIUM

(57)Abstract:

PROBLEM TO BE SOLVED: To realize data structure conversion between a serial packet and a parallel packet, without causing increase in the load of a CPU.

SOLUTION: A protocol conversion part (24) flexibly maps a plurality of different function areas into an area (25) for protocol conversion of a memory (5) according to a set value of a register part (33) for mapping, with respect to a storage area for different pieces of function information constituting a serial packet, allocates needed information to the plurality of different function areas and performs serial packet conversion, that is, converts interface protocol of the serial packet into an interface packet of a parallel packet. Since information of different data structure can be flexibly stored on the memory 5 managed with the so-called UMA(unified memory architecture) system, it is possible to realize high-speed data structure conversion, without being affected by the limitation of a memory access boundary or imposing a large load on a CPU.



(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2003-6144

(P2003-6144A)

(43)公開日 平成15年1月10日(2003.1.10)

(51)IntCl. ⁷	識別記号	F I	データコード(参考)	
G 0 6 F 13/36	3 2 0	G 0 6 F 13/36	3 2 0 A	5 B 0 6 0
3/06	3 0 1	3/06	3 0 1 R	5 B 0 6 1
12/02	5 1 0	12/02	5 1 0 A	5 B 0 6 5
12/04	5 1 0	12/04	5 1 0 E	5 B 0 7 7
13/38	3 5 0	13/38	3 5 0	5 K 0 3 0

審査請求 未請求 請求項の数17 O L (全 17 頁) 最終頁に続く

(21)出願番号 特願2001-192202(P2001-192202)

(22)出願日 平成13年6月26日(2001.6.26)

(71)出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72)発明者 大和 哲也

東京都青森市新町六丁目18番地の3 株式会社日立製作所デバイス開発センタ内

(72)発明者 稲田 宏光

東京都小平市上水本町5丁目22番1号 株式会社日立超エル・エス・アイ・システムズ内

(74)代理人 100089071

弁護士 玉村 静世

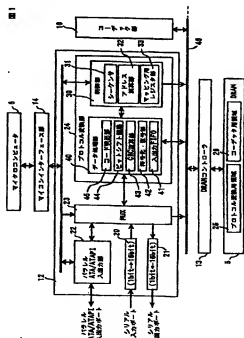
最終頁に続く

(54)【発明の名称】 半導体集積回路及びコンピュータ読取り可能な記録媒体

(57)【要約】

【課題】 シリアル・パラレル間のデータ構造変換をCPUの負荷を増大させずに実現する。

【解決手段】 プロトコル変換部(24)は、シリアルバケットを構成する異なる機能情報の格納領域に対して、メモリ(5)のプロトコル変換用領域(25)に複数の異なる機能領域をマッピング用レジスタ部(33)の設定値にしたがってフレキシブルにマッピングし、そこに必要な情報を振り分けて、シリアルバケットのパラレル変換、即ち、シリアルバケットのインタフェースプロトコルを、パラレルバケットのインタフェースプロトコルに変換する。所謂UMA方式によって管理するメモリ5上に、データ構造の異なる情報をフレキシブルに格納可能であるから、メモリアクセス境界の制限を受けることなく、CPUに大きな負担をかけずに高速なデータ構造変換を実現することができる。



【特許請求の範囲】

【請求項1】 メモリを利用して第1パケット領域及び第2パケット領域を含むシリアルパケットのパラレル変換が可能な変換処理回路を有し、

前記変換処理回路は、第1メモリ領域に入力シリアルパケットを格納し、入力シリアルパケットに含まれる第1パケット領域の情報に基づいて第2パケット領域の制御情報を第1メモリ領域から第2メモリ領域に格納し、入力シリアルパケットに含まれる第1パケット領域の情報に基づいて第2パケット領域のデータ情報を第1メモリ領域から第3メモリ領域に格納する処理を行う制御部と、前記メモリ上に第1乃至第3メモリ領域を定義するレジスタ部と、を有して成るものとを特徴とする半導体集積回路。

【請求項2】 メモリを利用して第1パケット領域及び第2パケット領域を含むシリアルパケットのパラレル変換及びシリアルパケットの生成が可能な変換処理回路を有し、

前記変換処理回路は、第1メモリ領域に入力シリアルパケットを格納し、入力シリアルパケットに含まれる第1パケット領域の情報に基づいて第2パケット領域の制御情報を第1メモリ領域から第2メモリ領域に格納し、入力シリアルパケットに含まれる第1パケット領域の情報に基づいて第2パケット領域のデータ情報を第1メモリ領域から第3メモリ領域に格納し、第3メモリ領域が保有する出力すべきデータ情報に所定の機能情報を付加して生成した出力用シリアルパケットを第4メモリ領域に格納する処理を行う制御部と、前記メモリ上に第1乃至第4メモリ領域を定義するレジスタ部と、を有して成るものとを特徴とする半導体集積回路。

【請求項3】 前記制御部は、第3メモリ領域が保有する出力すべきデータ情報に付加すべき機能情報を第5メモリ領域から選択することを特徴とする請求項2記載の半導体集積回路。

【請求項4】 前記第1パケット領域は、シリアルパケットのオペレーションコードと、第1パケット領域に接続の情報量を示す情報とを含むものとを特徴とする請求項1又は2記載の半導体集積回路。

【請求項5】 前記レジスタ部にメモリ領域定義用の情報を初期設定可能なCPUを接続可能なCPUインタフェースを有して成るものとを特徴とする請求項4記載の半導体集積回路。

【請求項6】 前記レジスタ部にメモリ領域定義用の情報を初期設定するCPUを有して成るものとを特徴とする請求項4記載の半導体集積回路。

【請求項7】 前記メモリを有して成るものとを特徴とする請求項4記載の半導体集積回路。

【請求項8】 メモリを利用して第1パケット領域及び第2パケット領域を含むシリアルパケットのパラレル変換が可能な変換処理回路を有し、

前記変換処理回路は、入力シリアルパケットの格納に割当てられる第1メモリ領域を指定する第1レジスタ手段と、前記第1メモリ領域に格納されたシリアルパケットの第2パケット領域の制御情報を格納するものに割当てられる第2メモリ領域を指定する第2レジスタ手段と、前記第1メモリ領域に格納されたシリアルパケットの第2パケット領域のデータ情報を格納する第3メモリ領域を指定する第3レジスタ手段と、前記第1乃至第3レジスタ手段の設定値に応じたメモリ領域に前記入力シリアルパケットの情報を格納する制御部とを有し、前記制御部は前記第1パケット領域の情報に基づいてその第2パケット領域の制御情報とデータ情報を区別するものであることを特徴とする半導体集積回路。

【請求項9】 メモリを利用して第1パケット領域及び第2パケット領域を含むシリアルパケットのパラレル変換及びシリアルパケットの生成が可能な変換処理回路を有する半導体集積回路であって、

前記変換処理回路は、入力シリアルパケットの格納に割当てられる第1メモリ領域を指定する第1レジスタ手段と、前記第1メモリ領域に格納されたシリアルパケットの第2パケット領域の制御情報を格納するものに割当てられる第2メモリ領域を指定する第2レジスタ手段と、前記第1メモリ領域に格納されたシリアルパケットの第2パケット領域のデータ情報及びシリアルパケットにより出力すべきデータ情報を格納する第3メモリ領域を指定する第3レジスタ手段と、出力用シリアルパケットを格納する第4メモリ領域を指定する第4レジスタ手段と、前記第1乃至第4レジスタ手段による指定に応じたメモリ領域に前記入力シリアルパケットの情報及び出力用シリアルパケットを格納する制御部とを有し、前記制御部は前記第1パケット領域の情報に基づいてその第2パケット領域の制御情報とデータ情報を区別するものであることを特徴とする半導体集積回路。

【請求項10】 前記第1パケット領域は、シリアルパケットのオペレーションコード、第1パケット領域に接続の情報量を示す情報を含むものとを特徴とする請求項8又は9記載の半導体集積回路。

【請求項11】 前記シリアルパケットはシリアルATA規格、USB規格、及びIEEE1394規格の中の一つの規格に準拠することを特徴とする請求項8又は9記載の半導体集積回路。

【請求項12】 記録ディスクに対する情報の記録再生に利用されるデジタル信号処理手段を有し、前記デジタル信号処理手段は前記第1メモリ領域から前記第3メモリ領域に格納された入力シリアルパケットのデータ情報を変調し、シリアルパケットにより出力すべき情報として前記第3メモリ領域に格納すべきデータ情報を復調処理するものであることを特徴とする請求項9記載の半導体集積回路。

【請求項13】 半導体チップに形成されるべき半導体

集積回路をコンピュータを用いて設計するための回路モジュールデータが前記コンピュータにより読取り可能に記憶された記録媒体であって、前記記録媒体に記憶された回路モジュールデータは、第1パケット領域及び第1パケット領域を含むシリアルパケットのパラレル変換が可能な変換処理回路を前記半導体チップに形成する為の図形パターンデータ又は機能記述データを含み、前記変換処理回路は、第1メモリ領域に入力シリアルパケットを格納し、入力シリアルパケットに含まれる第1パケット領域の情報に基づいて第2パケット領域の制御情報を第1メモリ領域から第2メモリ領域に格納し、入力シリアルパケットに含まれる第1パケット領域の情報に基づいて第2パケット領域のデータ情報を第1メモリ領域から第3メモリ領域に格納する処理を行う制御部と、前記第1乃至第3メモリ領域を定義するレジスタ部とを有するものであることを特徴とするコンピュータ読取り可能な記録媒体。

【請求項14】 半導体チップに形成されるべき半導体集積回路をコンピュータを用いて設計するための回路モジュールデータが前記コンピュータにより読取り可能に記憶された記録媒体であって、前記記録媒体に記憶された回路モジュールデータは、第1パケット領域及び第2パケット領域を含むシリアルパケットのパラレル変換及びシリアルパケットの生成が可能な変換処理回路を前記半導体チップに形成する為の図形パターンデータ又は機能記述データを含み、

前記変換処理回路は、第1メモリ領域に入力シリアルパケットを格納し、入力シリアルパケットに含まれる第1パケット領域の情報に基づいて第1パケット領域の制御情報を第1メモリ領域から第2メモリ領域に格納し、入力シリアルパケットに含まれる第1パケット領域の情報に基づいて第2パケット領域のデータ情報を第1メモリ領域から第3メモリ領域に格納し、第3メモリ領域が保有する出力すべきデータ情報に所定の機能情報を付加して生成した出力用シリアルパケットを第4メモリ領域に格納する処理を行う制御部と、前記第1乃至第4メモリ領域を定義するレジスタ部とを有するものであることを特徴とするコンピュータ読取り可能な記録媒体。

【請求項15】 半導体チップに形成されるべき半導体集積回路をコンピュータを用いて設計するための回路モジュールデータが前記コンピュータにより読取り可能に記憶された記録媒体であって、前記記録媒体に記憶された回路モジュールデータは、第1パケット領域及び第2パケット領域を含むシリアルパケットのパラレル変換が可能な変換処理回路を前記半導体チップに形成する為の図形パターンデータ又は機能記述データを含み、前記変換処理回路は、入力シリアルパケットの格納に割当てられる第1メモリ領域を指定する第1レジスタ手段と、前記第1メモリ領域に格納されたシリアルパケットの第2パケット領域の制御情報を格納するのに割当てら

れる第2メモリ領域を指定する第2レジスタ手段と、前記第1メモリ領域に格納されたシリアルパケットの第2パケット領域のデータ情報を格納する第3メモリ領域を指定する第3レジスタ手段と、前記第1乃至第3レジスタ手段の設定値に応じたメモリ領域に前記入カシリアルパケットの情報を格納する制御を行う制御部とを有し、前記制御部は前記第1パケット領域の情報に基づいてその第2パケット領域の制御情報とデータ情報を区別するものであることを特徴とするコンピュータ読取り可能な記録媒体。

【請求項16】 半導体チップに形成されるべき半導体集積回路をコンピュータを用いて設計するための回路モジュールデータが前記コンピュータにより読取り可能に記憶された記録媒体であって、前記記録媒体に記憶された回路モジュールデータは、第1パケット領域及び第2パケット領域を含むシリアルパケットのパラレル変換及びシリアルパケットの生成が可能な変換処理回路を前記半導体チップに形成する為の図形パターンデータ又は機能記述データを含み、

20 前記変換処理回路は、入力シリアルパケットの格納に割当てられる第1メモリ領域を指定する第1レジスタ手段と、前記第1メモリ領域に格納されたシリアルパケットの第2パケット領域の制御情報を格納するのに割当てられる第2メモリ領域を指定する第2レジスタ手段と、前記第1メモリ領域に格納されたシリアルパケットの第2パケット領域のデータ情報及びシリアルパケットにより出力すべきデータ情報を格納する第3メモリ領域を指定する第3レジスタ手段と、出力用シリアルパケットを格納する第4メモリ領域を指定する第4レジスタ手段と、前記第1乃至第4レジスタ手段の設定値に応じたメモリ領域に前記入カシリアルパケットの情報及び出力シリアルパケットを格納する制御を行う制御部とを有し、前記制御部は前記第1パケット領域の情報に基づいてその第2パケット領域の制御情報とデータ情報を区別するものであることを特徴とするコンピュータ読取り可能な記録媒体。

【請求項17】 前記シリアルパケットはシリアルATA API規格、USB規格、及びIEEE1394規格の中の一つの規格に準拠することを特徴とする請求項13乃至16の何れか1項記載のコンピュータ読取り可能な記録媒体。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、シリアルパケットを用いるパケットインタフェース技術に関し、例えば、シリアルATA API・アタッチメント・パケット・インタフェース）、USB（ユニバーサル・シリアル・バス）、又はIEEE1394の規格に準拠するインタフェース回路を有する半導体集積回路、更にはそのようなインタフェース回路に関する所謂IPモジュールに

適用して有効な技術に関する。

【0002】

【従来の技術】 現在、PC（パーソナル・コンピュータ）用途／情報家電用途向けの、内蔵型ストレージデバイスであるHDD（ハード・ディスク・ドライブ）、DVD-ROM（デジタル・ビデオ・ディスク・ROM）、DVD-RAM等においては、ATA/ATAP Iインタフェースが圧倒的なシェアを確立している。ATA/ATAP Iインタフェースは、8/16ビットパラレル転送プロトコルを規定し、データ信号はシングルエンドとされる。したがって、各ビット情報における変化タイミングのずれやノイズ耐性等の点から転送レートは約100MB/sec程度である。

【0003】 近年、ストレージデバイスに対する大容量・高速化の市場要求に対応するため、ATA/ATAP Iインタフェース（8/16ビットパラレル転送プロトコル）からシリアルATA（Serial ATA）と呼ばれるような高速シリアル転送プロトコル規格が限定段階に入っている。このシリアルATAに代表される高速シリアル転送プロトコル（以下単にシリアルATAとも称する）は、例えば、ATA/ATAP Iのインタフェースを差動信号を用いてシリアルで行うものである。シリアル転送であるため並列データビット間の変化タイミングのずれの問題現れずに済み、また、差動信号により同相/ノイズ成分をキャンセルできノイズ耐性が向上し、約150MB/sec、300MB/sec等といった高速転送も可能になる。

【0004】 尚、ATA/ATAP Iについて記載された文献の例として株式会社CQ出版発行のインタフェース（第60頁〜第87頁）がある。

【0005】

【発明が解決しようとする課題】 本発明者はATA/ATAP IとシリアルATAとの変換ブリッジ回路について検討した。このブリッジ回路は、ATA/ATAP Iインタフェース仕様のCD-ROM、DVD-ROM、DVD-RAMディスクドライブをシリアルATAに準拠してホスト装置とインタフェースさせる回路である。上記のようにシリアル/パラレルの変換ブリッジ回路として、従来、USBATA/ATAP Iの変換ブリッジ回路及びIEEE1394ATA/ATAP Iの変換ブリッジ回路等が開発されている。ATA/ATAP Iに代表されるパラレルATAによるインタフェースではホスト装置はインタフェース回路のレジスタを通してデータ、コマンド、ステータス等を転送して、インタフェース制御を行う。したがって、前記シリアル/パラレル変換では、パケットとして転送される情報に対してデータ、コマンド、ステータス等を認識して変換を行うことが必要になる。このような処理を、CPUによるソフトウェア処理で行う場合、高速の転送レートでは処理に間に合わない事象の発生が想定される。USBやIE

EE1394によるシリアル転送プロトコルの転送レートは、ATA/ATAP Iインタフェース側の転送レート（約100MB/sec）よりも十分に低いから、その点の問題は少ないと考えられる。しかしながら、シリアルATAにおいて実現されると予想される約150MB/sec、300MB/sec等といった高速転送時には、CPUの負荷が増大するため、シリアル/パラレル変換がシステム全体の処理能力に影響し、或はシリアル転送による高速化の利点を充分享受できないということが、本発明者によって見出された。

【0006】 また、シリアルパケットに含まれるデータ、コマンド、ステータス等の個々の情報はデータ構造若しくはビット長が相異なると予想される。これに従って、シリアルパケットとして転送される情報からデータ、コマンド、ステータス等を認識して抽出する場合には、そのような相異を有する情報を機能領域毎にワークメモリにマッピングして一時的に格納すれば、後の処理に便利であるということが本発明者によって見出された。

【0007】 更に本発明者はそのようなATA/ATAP IとシリアルATAとの変換ブリッジ回路をCD-ROMやDVD-RAM等の記録情報再生装置又は情報記録再生装置のホストインタフェース回路等に適用する場合について検討した。情報記録のための変調処理、情報再生のための復調処理を行うデジタル信号処理手段としてのコーダ・デコーダ部はワークメモリを利用する。本発明者はそのようなワークメモリをシリアル/パラレル変換にも利用することを検討した。これによれば、コーダ・デコーダ部によるそのようなワークメモリの利用形態はコーダ・デコーダ部による変調・復調処理方式に対して最適化若しくは固有化される。そのようなワークメモリをシリアル/パラレル変換などの他用途に用いる場合には、コーダ・デコーダ部によるメモリアドレスの利用形態如何にかかわらず利用できるという、アドレスマッピングに対して自由度を持たせることの必要性が本発明者によって明らかにされた。

【0008】 特に、回路モジュールデータがIPモジュールデータとして単独取り引きされる事情に鑑みれば、IPモジュールデータを用いて構成されるコーダ・デコーダ部のような他の回路モジュールによるワークメモリの固定的な利用形態との間のアドレスマッピングに関する齟齬若しくは不整合の発生を未然に防止できるようにすることの有用性が本発明者によって明らかにされた。

【0009】 本発明の目的はシリアル/パラレル間のデータ構造変換をCPUの負荷を増大させずに行うことができる半導体集積回路を提供することにある。

【0010】 本発明の目的は、シリアルパケットとして転送される情報に対してデータ、コマンド等を認識して抽出するような処理を、CPUによるソフトウェア処理で行う場合、シリアルパケットの転送レートが高速にな

っても、CPUの負荷を増大させ難く、シリアル/パラレル変換がシステム全体の処理能力に影響せず、或はシリアル転送の高速化を制限することなく、シリアルバケットの平行変換が可能な半導体集積回路を提供することにある。

【0011】本発明の別の目的は、シリアルバケットとして転送される情報からデータ構造若しくはビット長が相異なるデータ、コマンド等を、後処理が便利のように認識して抽出することによって、シリアルバケットの平行変換が可能な半導体集積回路を提供することにある。

【0012】本発明の更に別の目的は、情報記録のための変調処理、記録情報再生のための復調処理を行うデジタル信号処理手段が用いるワークメモリをシリアルバケットに対するシリアル・パラレル変換にも利用すると共に、デジタル信号処理手段による変調・復調処理方式に利用形態がどのようなものであっても（例えば、デジタル信号処理手段によるそのようなワークメモリの利用形態がデジタル信号処理手段による変調・復調処理方式に対して最適化若しくは固有化されていても）、そのようなワークメモリをシリアルバケットの平行変換の用途にも利用可能とする自由度の高いアドレスマッピングを行うことができる、シリアルバケットの平行変換可能な半導体集積回路を提供することにある。

【0013】本発明の更に別の目的は、IPモジュールデータを用いて構成されるようなデジタル信号処理手段等の他の回路モジュールによるワークメモリの固定的な利用形態と間のアドレスマッピングに関する齟齬若しくは不整合の発生を未然に防止してシリアルバケットの平行変換が可能な半導体集積回路を提供することにある。

【0014】本発明のその他の目的は上記それぞれの目的に係る半導体集積回路の設計の容易化に寄与することである。当該半導体集積回路の回路モジュールデータを格納したコンピュータ読取り可能な記録媒体を提供することにある。

【0015】本発明の前記並びにその他の目的と新規な特徴は本明細書の記述及び添付図面から明らかになるであろう。

【0016】

【課題を解決するための手段】本願において開示される発明のうち代表的なものの概要を簡単に説明すれば下記の通りである。

【0017】〔1〕すなわち、半導体集積回路は、メモリ（5）を利用して第1バケット領域（61）及び第2バケット領域（62）を含むシリアルバケットの平行変換が可能な変換処理回路（12）を有する。

【0018】入力シリアルバケットに対する処理に着目すると、前記変換処理回路は、第1メモリ領域（25A）に入力シリアルバケットを格納し、入力シリアルバ

ケットに含まれる第1バケット領域の情報に基づいて第2バケット領域の制御情報を第1メモリ領域から第2メモリ領域（25D）に格納し、入力シリアルバケットに含まれる第1バケット領域の情報に基づいて第2バケット領域のデータ情報を第1メモリ領域から第3メモリ領域（26）に格納する処理を行う制御部（31、32）と、前記第1乃至第3メモリ領域を定義するレジスタ部（33）とを有する。

【0019】入力シリアルバケットに対する処理と共に出力シリアルバケットの生成にも着目すると、前記変換処理回路は、第1メモリ領域に入力シリアルバケットを格納し、入力シリアルバケットに含まれる第1バケット領域の情報に基づいて第2バケット領域の制御情報を第1メモリ領域から第2メモリ領域に格納し、入力シリアルバケットに含まれる第1バケット領域の情報に基づいて第2バケット領域のデータ情報を第1メモリ領域から第3メモリ領域に格納し、第3メモリ領域が保有する出力すべきデータ情報に所定の機能情報を付加して生成した出力シリアルバケットを第4メモリ領域（25B）に格納する処理を行う制御部（31、32）と、前記第1乃至第4メモリ領域を定義するレジスタ部とを有する。出力すべきデータ情報に付加すべき機能情報は例えば第5メモリ領域（25C）から選択してよい。

【0020】前記変換処理回路によれば、CPU（6）等による前記レジスタ部に対する初期設定内容にしたがって前記メモリ上まで前記第1乃至第4メモリ領域が定義される。第1乃至第4メモリ領域のマッピングに対してその一部に何らかの制限を受けることが予想される。例えば、第3領域はこれに格納された入力シリアルバケットのデータ情報を処理し或は出力シリアルバケットに付加すべきデータ情報を処理する別の回路にとってバッファ領域として規定される必要がある場合、当該別の回路によるアドレスマッピングの要請にしたがって第3メモリ領域を決定しなければならないこともある。そのような場合であっても、例えば、第1、第2、第4領域のアドレスマッピングは上記制御の下で決定される第3メモリ領域のマッピングアドレスを避けて自由に決めればよい。要するに、所謂UMA（ユニファイド・メモリ・アーキテクチャ）のように、メモリに複数の異なる機能領域をフレキシブルにマッピングして利用することが可能である。

【0021】このようにして第1乃至第4メモリ領域のアドレスマッピングが決定された状態で、入力されたシリアルバケットはメモリ上の第1メモリ領域に順次格納される。格納時には、メモリに対するアドレス管理単位（例えばバイト単位のバイトアドレス）にしたがってシリアル情報は、例えば8ビット又は16ビット単位に区切られて第1メモリ領域に格納される。第1メモリ領域に一時的に格納されたシリアルバケットの情報はそこから読み出されて例えば8B10Bなどの復号処理やCRC

エラー判定等が施され、パケットフォーマットで規定された第1パケット領域と第2パケット領域に分離される。第1パケット領域はオペレーションコード等の情報を含み、その解読結果にしたがって、第2パケット領域の内容が認識され、例えばATA/ATAPI等のパラレルATA用のコマンドパケットやデータパケット等への変換処理が実行され、第2メモリ領域には、ATA/ATAPIタスクファイルレジスタとして、パラメータやコマンドなどの制御情報が格納される。第2パケット領域にデータ情報を含んでいれば第3メモリ領域にそのデータ情報が格納される。第2メモリ領域に格納された制御情報は例えばATA/ATAPIインタフェースが採用されたDVD-RAMドライブ等のディスクアクセス情報又はドライブ制御情報として利用され、第3メモリ領域に格納されたデータ情報はデジタル信号処理回路で変換されてDVD-RAMドライブ等に対するライトデータとして利用される。

【0022】また、出力用シリアルパケットの生成に利用するデータ情報は例えばCD-ROMやDVD-RAM等のフォーマットデータに対してデジタル信号処理回路で復調された再生データであり、DVD-RAMドライブのデジタル信号処理回路から第3メモリ領域に格納される。第3メモリ領域のデータ情報には制御情報若しくは機能情報が付加されて所定のフォーマットを満足するシリアルパケットとして第4メモリ領域に格納される。第4メモリ領域からリードアクセスされたデータはシリアルパケットとしてビットシリアルにホスト装置に出力される。

【0023】以上の如く、シリアルパケットを構成する異なる機能情報の格納領域（第1パケット領域、第2パケット領域の制御情報領域、第2パケット領域のデータ情報領域）に対して、メモリに複数の異なる機能情報をフレキシブルにマッピングし、そこに必要な情報を振り分けて、シリアルパケットの並列変換、即ち、シリアルパケットのインタフェースプロトコルを、並列パケットのインタフェースプロトコルに変換することができる。

【0024】これにより、シリアルパケットとして転送される情報に対してデータ、コマンド等を認識して抽出するような処理を、CPUによるソフトウェア処理で行う場合、転送レートが高速のシリアルパケットを想定すると、シリアルパケットは一旦第1メモリ領域にバッファリングされ、その第1メモリ領域の大きさもフレキシブルに決定できるから、CPUの負荷を増大させ難く、シリアルパケットの並列変換がシステム全体の処理能力に影響せず、或はシリアル転送の高速化を制限することなく、シリアルパケットの並列変換が可能になる。

【0025】上記より、シリアルパケットとして転送される情報からデータ構造若しくはビット長が相異なるデ

ータ、コマンド等を、後処理が便利になるように、領域を分けてメモリに一時的に格納することができる。例えば、第2メモリ領域及び第3メモリ領域の指定をメモリアクセス境界の制限を受けないように行っておけば、DVD-RAMドライブの変調及び復調用のデジタル信号処理手段はメモリアクセス境界の制限を受けることなくシリアルパケットの制御情報やデータ情報をアクセスすることができ、データ処理の高速化を実現可能になる。

【0026】上記より、情報記録のための変調処理、記録情報再生のための復調処理を行うデジタル信号処理手段としてのコーダ・デコーダ部が用いるワークメモリをシリアルパケットに対する並列変換等にも利用するとき、コーダ・デコーダ部によるそのようなワークメモリの利用形態がコーダ・デコーダ部による変調・復調処理方式に対して最適化若しくは固有化されていても、そのようなワークメモリをシリアルパケットの並列変換などの他用途にも利用可能な、自由度の高いアドレスマッピングを行うことができる。

【0027】上記により、単独で取り引きされるようなIPモジュールデータを用いて構成されるデジタル信号処理手段等の他の回路モジュールによるメモリの固定的な利用形態との間で、アドレスマッピングに関する齟齬若しくは不整合の発生を未然に防止することが容易である。

【0028】〔2〕本発明に係る別の観点による半導体集積回路は、メモリ（5）を利用して第1パケット領域（61）及び第2パケット領域（62）を含むシリアルパケットの並列変換が可能な変換処理回路（12）を有する。

【0029】前記変換処理回路は、入力シリアルパケットに対する処理に着目すると、入力シリアルパケットの格納に割当てられる第1メモリ領域を指定する第1レジスタ手段（Reg S1, Reg E1）と、前記第1メモリ領域に格納されたシリアルパケットの第2パケット領域の制御情報を格納するのに割当てられる第2メモリ領域を指定する第2レジスタ手段（Reg S4, Reg E4）と、前記第1メモリ領域に格納されたシリアルパケットの第2パケット領域のデータ情報を格納する第3メモリ領域を指定する第3レジスタ手段（Reg S5）と、前記第1乃至第3レジスタ手段の設定値に応じたメモリ領域に前記入力シリアルパケットの情報を格納する制御を行う制御部（31, 32）とを有する。前記制御部は前記第1パケット領域の情報に基づいてその第2パケット領域の制御情報とデータ情報を区別する。

【0030】前記変換処理回路は、入力シリアルパケットに対する処理と共に出力シリアルパケットの生成にも着目すると、入力シリアルパケットの格納に割当てられる第1メモリ領域を指定する第1レジスタ手段（Reg S1, Reg E1）と、前記第1メモリ領域に格納されたシリアルパケットの第2パケット領域の制御情報を格

納するのに割当てられる第2メモリ領域を指定する第2レジスタ手段(Reg S4, Reg E4)と、前記第1メモリ領域に格納されたシリアルバケットの第2バケット領域のデータ情報及びシリアルバケットにより出力すべきデータ情報を格納する第3メモリ領域を指定する第3レジスタ手段(Reg S5)と、出力用シリアルバケットを格納する第4メモリ領域を指定する第4レジスタ手段(Reg S2, Reg E2)と、前記第1乃至第4レジスタ手段による指定に応じたメモリ領域に前記入カシリアルバケットの情報及び出力シリアルバケットを格納する制御を行う制御部(31, 32)とを有し、前記制御部は前記第1バケット領域の情報に基づいてその第2バケット領域の制御情報とデータ情報を区別する。

【0031】この変換処理回路の構成によっても前記(1)と同様に、シリアルバケットを構成する異なった機能情報の格納領域(第1バケット領域、第2バケット領域の制御情報領域、第2バケット領域のデータ情報領域)に対して、メモリに複数の異なる機能領域をフレキシブルにマッピングし、そこに必要な情報を振り分けて、シリアルバケットのバレル変換若しくはプロトコル変換を行うことができる。

【0032】前記第1バケット領域は、例えば、シリアルバケットのオペレーションコード、第1バケット領域に接続の情報を示す情報を含む。

【0033】前記シリアルバケットとしては、例えばシリアルATAPI規格、USB規格、及びIEEE1394規格等を想定することができ。

【0034】(3)上記変換処理回路を採用した半導体集積回路の設計を容易化するという観点による、コンピュータ読取り可能な記録媒体(7)は、半導体チップに形成されるべき半導体集積回路をコンピュータ(70)を用いて設計するための回路モジュールデータが前記コンピュータにより読取り可能に記憶されている。前記記録媒体に記憶された回路モジュールデータは、第1バケット領域及び第1バケット領域を含むシリアルバケットのバレル変換が可能な変換処理回路を前記半導体チップに形成するための図形パターンデータ又は機能記述データを含む。前記変換処理回路は、第1メモリ領域に入力シリアルバケットを格納し、入力シリアルバケットに含まれる第1バケット領域の情報に基づいて第2バケット領域の制御情報を第1メモリ領域から第2メモリ領域に格納し、入力シリアルバケットに含まれる第1バケット領域の情報に基づいて第2バケット領域のデータ情報を第1メモリ領域から第3メモリ領域に格納する処理を行う制御部と、前記第1乃至第3メモリ領域を定義するレジスタ部とを有する。

【0035】入力シリアルバケットに対する処理と共に出力シリアルバケットの生成にも着目すると、図形パターンデータ又は機能記述データが特定することになる前記変換処理回路は、第1メモリ領域に入力シリアルバ

ケットを格納し、入力シリアルバケットに含まれる第1バケット領域の情報に基づいて第1バケット領域の制御情報を第1メモリ領域から第2メモリ領域に格納し、入力シリアルバケットに含まれる第1バケット領域の情報に基づいて第2バケット領域のデータ情報を第1メモリ領域から第3メモリ領域に格納し、第3メモリ領域が保有する出力すべきデータ情報に所定の機能情報を付加して生成した出力用シリアルバケットを第4メモリ領域に格納する処理を行う制御部と、前記第1乃至第4メモリ領域を定義するレジスタ部とを有する。

【0036】上記変換処理回路を採用した半導体集積回路の設計もしくは製造の容易化に寄与するという観点による、更に別のコンピュータ読取り可能な記録媒体(7)は、半導体集積回路をコンピュータ(70)を用いて設計するための回路モジュールデータが前記コンピュータにより読取り可能に記憶されている。前記記録媒体に記憶された回路モジュールデータは、第1バケット領域及び第2バケット領域を含むシリアルバケットのバレル変換が可能な変換処理回路を前記半導体チップに形成するための図形パターンデータ又は機能記述データを含む。その変換処理回路は、入力シリアルバケットの格納に割当てられる第1メモリ領域を指定する第1レジスタ手段と、前記第1メモリ領域に格納されたシリアルバケットの第2バケット領域の制御情報を格納するものに割当てられる第2メモリ領域を指定する第2レジスタ手段と、前記第1メモリ領域に格納されたシリアルバケットの第2バケット領域のデータ情報を格納する第3メモリ領域を指定する第3レジスタ手段と、前記第1乃至第3レジスタ手段の設定値に応じたメモリ領域に前記入カシリアルバケットの情報を格納する制御部とを有し、前記制御部は前記第1バケット領域の情報に基づいてその第2バケット領域の制御情報とデータ情報を区別するものである。

【0037】入力シリアルバケットに対する処理と共に出力シリアルバケットの生成にも着目すると、図形パターンデータ又は機能記述データが特定することになる前記変換処理回路は、入力シリアルバケットの格納に割当てられる第1メモリ領域を指定する第1レジスタ手段と、前記第1メモリ領域に格納されたシリアルバケットの第2バケット領域の制御情報を格納するものに割当てられる第2メモリ領域を指定する第2レジスタ手段と、前記第1メモリ領域に格納されたシリアルバケットの第2バケット領域のデータ情報及びシリアルバケットにより出力すべきデータ情報を格納する第3メモリ領域を指定する第3レジスタ手段と、出力用シリアルバケットを格納する第4メモリ領域を指定する第4レジスタ手段と、前記第1乃至第4レジスタ手段の設定値に応じたメモリ領域に前記入カシリアルバケットの情報及び出力シリアルバケットを格納する制御部とを有し、前記制御部は前記第1バケット領域の情報に基づいてその第

2パケット領域の制御情報とデータ情報を区別するものである。

【0038】上記記録媒体に格納されて提供される回路モジュールデータを用いて半導体集積回路の設計を行えば、他のI Pモジュールデータを用いて構成されるようなコーダ・デコーダ等の他の回路モジュールによるメモリの固定的な利用形態との間のアドレスマッピングに関する齟齬若しくは不整合の発生を未然に防止することが容易になる。したがって、上記変換処理回路を採用した半導体集積回路の設計を容易化することができる。

【0039】

【発明の実施の形態】図2には本発明に係る半導体集積回路を適用したDVDドライブの一例が示される。DVDドライブ1は、特に制限されないが、DVD-ROM、DVD-RAM、及びCD-ROM等のディスク3をアクセス可能とするディスクドライブ装置であり、ホスト装置であるパーソナルコンピュータ（単にPCと記す）2の周辺機器の一つとされる。DVDドライブ1とPC2との間のデータ伝送にはシリアルATAのようなシリアルパケットを用いたインタフェース仕様が採用される。

【0040】DVDドライブ1は、特に制限されないが、それぞれ半導体集積回路化されたディスクコントローラ4、メモリの一例であるDRAM（ダイナミック・ランダム・アクセス・メモリ）5、及びマイクロコンピュータ6を備える。更に、リード・ライトヘッド、そのアクチュエータ、及びリード・ライトアンプなどを備えたリード・ライトチャネル7が設けられている。図2ではディスクモータ等の駆動系及びそのサーボ制御系については図示を省略する。マイクロコンピュータ6はCPU（中央処理装置）、その動作プログラム、CPUのワーク領域、及び適宜の入出力回路を備えて構成される。

【0041】ディスクコントローラ4は、特に制限されないが、ディスク3からの読取り情報に対する復調処理、ディスクへ書き込む情報の変調処理などのデジタル信号処理を行うデジタル信号処理部（コーダ・デコーダ若しくはコーデック（CODEC）部）10、PC2とシリアルケーブル11で接続されたホストインタフェース部12、DRAMコントローラ13、マイコンインタフェース部14、及びオーディオインタフェース部15等を備えて、単結晶シリコンなどの1個の半導体基板（若しくは半導体チップ）に形成される。特に制限されないが、デジタル信号処理部10は、変調処理用のデジタル信号処理プロセッサ手段（DVD-DSP）16、復調処理用のデジタル信号処理プロセッサ手段（CD-DSP）17、復調された情報に対する誤り訂正や同期信号検出等を行うROMデコーダ18を、ハードウェア及びソフトウェアによって実現している。

【0042】前記DRAMコントローラ13は前記デジタル信号処理部10、ホストインタフェース部12、

マイクロコンピュータ6からのアクセス要求にตอบสนองして、DRAM5に対するメモリサイクルの起動を制御する。DRAM5はデジタル信号処理部10による変調処理及び復調処理においてワーク領域そしてセクタデータ等の一時格納エリアとして、また、ホストインタフェース部12によるシリアルパケットのインタフェース制御に際してバッファ領域そしてワーク領域として利用される。

【0043】図1には前記ホストインタフェース部12の一例が示される。図1に示されるホストインタフェース部12は、特に制限されないが、シリアルパケットの入出力に用いるシリアル入力FIFO20及びシリアル出力FIFO21を有し、また、パラレルATA/ATAPIインタフェースによるパラレル入出力に用いるパラレルATA/ATAPI入出力部22を有する。シリアル入力FIFO20及びシリアル出力FIFO21によるシリアル入出力とパラレルATA/ATAPI入出力部22によるパラレル入出力の切換えはマルチプレクサ（MUX）23で行う。マルチプレクサ23にはプロトコル変換部24及びバス46が接続される。プロトコル変換部24の動作は、前記シリアル入出力又はパラレル入出力に対するマルチプレクサ23の切換え動作と共に、マイクロコンピュータ6からの指示又は外部端子からの動作モードの指示に従って決定される。

【0044】プロトコル変換部24は、前記DRAM5のプロトコル変換用領域25及びコーデック用領域26を用いたシリアルパケットのパラレル変換及びシリアルパケットの生成といったプロトコル変換制御等を行う。例えば、プロトコル変換制御では、入力したシリアルパケットのバッファリング、バッファリングされたシリアルパケットのコマンド解析、シリアルパケットに対する情報抽出、抽出情報のバッファリング等によってシリアルパケットのパラレル変換を行い、また、バッファリングされた出力用データ情報の取りこみ、取り込んだデータ情報に対する機能情報の付加等によってシリアルパケットの生成を行う。その時のバッファリングや情報抽出処理に際してプロトコル変換部24は、前記DRAM5上で任意の領域のデータを任意の別領域に格納する所謂UMAのような情報記憶処理もしくはメモリアreaのマッピング処理を行う。

【0045】そのような処理を行う前記プロトコル変換部24は、プロトコル変換のためのプロトコル変換シーケンス全体を制御する制御部30と、プロトコル変換時におけるデータ処理を行うデータ処理部40とに大別される。

【0046】前記制御部30は、前記プロトコル変換制御のためのシーケンス制御とプロトコル変換用領域25のアドレスマッピング制御等を行う。この制御部30は、例えば、プロトコル変換シーケンスを制御するシーケンス31、メモリアccess時のアクセスアドレスの演

算を行うアドレス演算部32、及びDRAM5におけるプロトコル変換領域25のマッピングを定義するマッピング用レジスタ部33を有する。

【0047】前記データ処理部40は、前記制御部30によるシーケンス制御とアドレスマッピング制御に基づいてシリアルバケットの分解・生成のためのコマンド解析や情報抽出の操作を行う。このデータ処理部40は、例えば、プロトコル変換時のデータ格納用出力FIFO41、プロトコル変換時における符号化復号処理を行う符号化・復号部42、シリアル入力データのエラー検出及びシリアル出力データへのエラーチェックコードの付加機能を実現するCRC演算部43、シリアルデータ/パラレルデータ変換時のアライメント操作用のビットシフト回路44、復号されたシリアル入力データが保有するオーバーレーションコードを検出するコード検出部45を有する。

【0048】図3にはDRAM5のプロトコル変換領域25及びコーデック用領域26に対する領域分割の様子が例示される。

【0049】プロトコル変換領域25は、シリアル入力データ格納領域(第1メモリ領域)25A、シリアル出力データ格納領域(第4メモリ領域)25B、シリアル出力用固定パターン格納領域(第5メモリ領域)25C、タスクファイルレジスタ領域(第2メモリ領域)25Dに分割される。各領域25A~25Dは前記マッピング用レジスタ部33のレジスタ設定値にしたがって決定され、ここでは各領域25A~25Dは、そのスタートアドレスレジスタRegS1~RegS4とエンドアドレスレジスタRegS1~RegE4の設定値によって規定される。前記レジスタRegS1、RegE1はシリアル入力データ格納領域25Aを指定する第1レジスタ手段、前記レジスタRegS4、RegE4は前記タスクファイルレジスタ領域25Dを指定する第2レジスタ手段、前記レジスタRegS2、RegE2はシリアル出力データ格納領域25Bを指定する第4レジスタ手段、前記レジスタRegS3、RegE3はシリアル出力用固定パターン格納領域を指定する第5レジスタ手段を構成する。

【0050】前記コーデック用領域26は、特に制限されないが、コーデック部10によって復調処理されるべきデータ情報又は変調されたデータ情報がセクタ単位で格納されるコーデック固有のバッファ領域もしくはワーク領域とされ、図には便宜上2セクタ分のデータ情報を格納可能な2個の領域26A、26Bが確保可能になっている。前記コーデック用領域26に格納されたデータ情報を復調するときのリード動作、変調されたデータ情報をコーデック用領域26にライトアクセスするときのアクセス制御は、特に制限されないが、コーデック部10が行う。一方、入力シリアルバケットから抽出されたデータ情報をコーデック用領域26にライトするアクセ

ス、及びコーデック部10が復調してコーデック用領域26にライトしたデータ情報のリードアクセスはプロトコル変換部24が行う。図3の例では、プロトコル変換部24はコーデック用領域26を規定するためにレジスタRegS5(第3レジスタ手段)を備える。各領域26A、26Bのサイズはデータのセクタサイズから決まるシステム上の固定値とされ、この例では特にサイズを指定するレジスタは図示されていない。

【0051】特に制限されないが、前記コーデック用領域26はコーデック部10によるデジタル信号処理アルゴリズム等の要請から最適化されたアドレスマッピングが規定され、その空きエリアがプロトコル変換領域25として利用可能になる。要するに、元々パラレルATA/ATAPIインタフェースでコーデック部10のワークメモリ若しくはバッファメモリとして利用されていたDRAM5若しくはそのマッピングアドレスの空きアドレスエリアをシリアルATAインタフェースによるプロトコル変換に流用しようとするものである。そのような場合であっても、前記領域25A~25Dのアドレスマッピングは、前記マッピング用レジスタ部33に適当に値を設定することにより、上記制御の下で決定されるコーデック用領域26のマッピングアドレスを避けて自由に決めることができる。したがって、所謂UMA(ユニファイド・メモリ・アーキテクチャ)のように、DRAM5に複数の異なる機能領域としてプロトコル変換領域25をフレキシブルにマッピングして利用することが可能になる。

【0052】図4には前記プロトコル変換領域25及びコーデック用領域26に対する領域分割の別の態様が例示される。図4のように2個のコーデック領域26A、26Bが離隔してマッピングされる場合、その間の領域にプロトコル変換領域25の前記各領域25A~25Dを配置してもよい。ここではプロトコル変換領域25の前記各領域25A~25Dを定義するのに、スタートアドレスレジスタRegS1~RegS4、領域の縦サイズを規定するハイトレジスタRegH1~RegH4、領域の横サイズを規定するウィルスレジスタRegW1~RegW4を用いる。前記レジスタRegS1、RegH1、RegW1はシリアル入力データ格納領域25Aを指定する第1レジスタ手段、前記レジスタRegS4、RegH4、RegW4は前記タスクファイルレジスタ領域25Dを指定する第2レジスタ手段、前記レジスタRegS3、RegH3、RegW3はシリアル出力データ格納領域25Cを指定する第4レジスタ手段、前記レジスタRegS2、RegH2、RegW2はシリアル出力用固定パターン格納領域を指定する第5レジスタ手段を構成する。

【0053】前記コーデック用領域26の2個の離隔された領域26A、26Bをそれぞれ規定するためにスタートアドレスレジスタRegS5A、RegS5B(第3

17

レジスタ手段)を備える。各領域26A、26Bのサイズはデータのセクタサイズから決まるシステム上の固定値とされ、この例では特に領域サイズを指定するレジスタは図示されていない。

【0054】図4の領域指定手法においても図3と同様に、前記領域26のアドレスマッピングがコーデック部10のデジタル信号処理アルゴリズム等による制約の下で決定されるという事情があっても、コーデック用領域26のマッピングアドレスを避けてプロトコル変換領域25を自由に決めることができる。

【0055】次に、プロトコル変換部24によるシリアルパケットの並列変換処理の動作を説明する。ここでは、プロトコル変換領域25のアドレスマッピングに図3のマッピングを採用するものとする。

【0056】図5にはシリアルパケットの並列変換処理の動作フローが例示される。ホストインターフェース12に入力されたシリアルパケットPACKETは、シリアル入力データ用FIFO20、MUX23、メモリコントローラ3を経てシリアル入力データ格納領域25Aに順次先頭から書き込まれる。ライトアドレスの生成はアドレス演算部32が生成する。図5にはシリアル入力データ格納領域25Aが16ビット幅で図示され、そこに2個のシリアルパケット(シリアル入力パケット1、シリアル入力パケット2)を格納した状態が例示されている。シリアルパケットPACKETは臨時格納され、パケット情報の格納アドレスが領域25Aの終了アドレス(エンドアドレス)に達すると、シーケンス31はアドレス演算部32に領域25AのアクセスアドレスとしてレジスタRegS1のスタートアドレスをリロードすることにより、再びシリアル入力データ格納領域25Aの先頭アドレスからシリアル入力データを格納する。

【0057】領域25Aにシリアルパケットが格納開始されると、これをトリガーとして、プロトコル変換部24のシーケンス31は、領域25Aの開始アドレスから順次データを読み出し、データ処理部40の入出力FIFO41に送る。入出力FIFO41に内部転送されたデータは符号化されたままのシリアルパケットの情報DATA1である。符号化・復号部42はそのシリアルパケット情報を例えば8B10B変換により復号する(S1)。DATA2は復号されたシリアルパケット情報を意味する。次に、復号されたシリアルパケット情報DATA2は、CRC演算部43に入力され、シリアルパケットの転送エラー検出処理が行われる(S2)。DATA3はCRCエラー検出・訂正処理を経たシリアルパケット情報を意味する。

【0058】シリアルパケット情報DATA3は、第1パケット領域61、第2パケット領域62及びCRC領域63を有する。第1パケット領域61はシリアルパケットのオペレーションコード(コード)、フラグ、第1

18

パケット領域の後続データ量を示す転送回数データ等を保有する。第2パケット領域62はデータ情報と制御情報を保有する。データ情報は例えばディスクへのライトデータ等である。制御情報はディスクアクセス動作を特定するコマンドやファイル名などのアクセス制御情報であり、タスクファイルレジスタへの設定情報に相当する。

【0059】前記シリアルパケット情報DATA3は前記コード検出部45に入力され、オペレーションコードが解釈され、その解釈結果に応ずる制御動作がシーケンス31に指示され、ヘッダとしての第1パケット領域61のその他の情報がシーケンス31及びアドレス演算部32に内部転送される(S3)。

【0060】シーケンス31は、オペレーションコードによって決定されたシーケンスを実行するため、ヘッダ構造を解析する。解析する内容は、転送データおよびタスクファイルレジスタ設定値等の第2パケット領域が保有するデータ位置及びデータ数の把握等である。このヘッダ構造の解析により、第2パケット領域の情報はビットシフト回路44に入力され、その情報の先頭がバイトアドレスの境界に来るように、データアライメント(データシフト動作)が行われる(S4)。アライメントされた第2パケット領域のデータ情報である転送データ情報及び/又は第2パケット領域の制御情報であるタスクファイルレジスタ設定値情報は入出力FIFO41に一時的に保持される(S5)。FIFO41に一時的に保持された制御情報はDRAM5のタスクファイルレジスタ領域25Dに格納され(S6)、ディスクへの書き込みデータとしてのデータ情報はコーデック用領域26に格納される(S7)。この時の格納先アドレスは、シーケンス31がアドレス演算部32にマッピング用レジスタ部33の設定値を参照させて、制御される。

【0061】上記シリアルパケットの並列変換処理により、図6に示されるように、入力されたシリアルパケットに対して復号されたシリアルパケットに含まれるデータ情報はコーデック用領域26Aに、制御情報はタスクファイルレジスタ領域25Dに格納される。格納された状態は、パラレルATA/ATAPIインタフェースで入力されて蓄えられたデータフォーマット等である。前記タスクファイルレジスタ領域25Dに格納されたパラメータやコマンドなどの制御情報は例えばATA/ATAPIインタフェースが採用されたDVD-RAMドライブ等のディスクアクセス情報又はドライブ制御情報として利用され、コーデック用領域26Aに格納されたデータ情報はコーデック部10で変調されてDVD-RAMドライブ等に対するライトデータとして利用される。

【0062】次に、シリアルパケットの出力処理について説明する。ここでは、プロトコル変換領域25のアドレスマッピングとして図3のマッピングを採用するも

50

のとする。

【0063】図7にはシリアルパケットの出力処理フローが例示される。PC（ホスト装置）2へのデータリードコマンドが発行された場合、シーケンサ31はマイコンインタフェース部14を介して、マイクロコンピュータ6にコーデック部10を介してディスクからの読取りデータに対する復調要求を発行する。コーデック部10はディスクからの読取りデータに対して復調を行い、復調されたデータ情報はDRAMコントローラ13を介してコーデック用領域26に格納される。このデータ情報に付随すべきパラメータなどの制御情報はタスクファイルレジスタ領域25Dに格納される。コーデック用領域26又は/及びタスクファイルレジスタ領域25Dへの転送データ格納終了信号をトリガとして、プロトコル変換部24のシーケンサ31が、アドレス演算部32を利用して、コーデック用領域26又は/及びタスクファイルレジスタ領域25Dから順次データ情報又は/及び制御情報を読み出し、プロトコル変換部24内の出力FIFO41に一時的に格納する。FIFO41に格納された情報DATA11は第2パケット領域62を構成すべき情報とされる。入出力FIFO41に格納されたデータ情報又は/及び制御情報は、ビットシフト回路44に入力されてアライメントされる（S11）。更に、シリアル出力用固定パターン格納領域25Cから読み出した、シリアルパケット用の機能情報がヘッダ情報として第1パケット領域61に付加される（S12）。DATA12は符号化前のシリアルパケットの情報における第1パケット領域61及び第2パケット領域62の情報である。次に、前記ヘッダ部とデータ情報部に転送エラーチェックコード（CRCコード）を付加するため、それら情報がCRC演算部43に入力され、シリアルパケットの最後にCRCコードが付加される（S13）。CRCコードが付加されたシリアルパケットの情報DATA13は、符号化復号部42で、8B10B符号処理が行なわれ（S14）、符号化された情報がシリアル出力データDATA14として出力FIFO41に一旦格納され、DRAMコントローラ13を介して、シリアル出力データ格納領域25Bに転送される（S15）。シリアル出力データ格納領域25Bに格納されたシリアルパケットは、マルチプレクサ23、シリアル出力データ用FIFO21を介してシリアル出力ポートからPC2に転送される（S16）。

【0064】上記シリアルパケットへの交換処理により、図8に示されるように、ディスクから読取られて復調されてコーデック用領域26Aに格納されたデータ情報、タスクファイルレジスタ領域25Dに格納された制御情報は、領域25Cからのシリアル出力用固定パターンが付加され、シリアル出力データ格納領域25Bに一時的に保持される。保持された情報はシリアルパケットのデータフォーマットと等価である。要するに、パレ

ルATA/ATAPIの転送データがシリアルパケットに変換される。前記シリアル出力データ格納領域25Bに保持されたシリアルパケットはPC2へ出力される。

【0065】尚、パレールATA/ATAPI入出力部22を介するインタフェースを選択する場合には、上記制御動作におけるシリアルパケットのパラレル変換、パレール情報のシリアル変換に係る処理を省略してインタフェース動作させればよく、その詳細については説明を省略する。

【0066】次に、上述の半導体集積回路化されたディスクコントローラ4の設計を容易化するという観点より、上述した回路モジュール12の設計データ若しくはディスクコントローラ4それ自体の設計データを、所謂IPモジュールとして提供することについて説明する。

【0067】IPモジュールとして提供する回路モジュールデータは、少なくとも前記ディスクコントローラ12を前記半導体チップに形成する為の図形パターンデータ若しくはHDL（ハードウェア・ディスクリプション・ランゲージ）やRTL（レジスタ・トランスファ・ロジック）などによる機能記述データを含む。図形パターンデータは、マスクパターンデータ或いは電子線描画データなどである。機能記述データは、所謂プログラムデータであり、所定の設計ツールに読み込むことによってシンボル表示で回路等を特定できる事ができる。

【0068】また、IPモジュールの規模は図1に例示されるディスクコントローラ4のようなLSIレベルであってもよい。

【0069】それらIPモジュールのデータは、図9に例示されるように、半導体チップに形成されるべき集積回路を設計ツールのようなコンピュータ70を用いて設計するためのデータであって、前記コンピュータ70により読取り可能なCD-ROM、DVD-ROM、磁気テープなどの記録媒体71に記憶されて提供される。例えば図1のホストインタフェース部12に対応されるハードIPモジュールのデータは、前記ホストインタフェース部12を構成する為のマスクパターンデータD1、そのホストインタフェース部12の機能記述データD2、及び当該ホストインタフェース部12のIPモジュールのデータを用いてLSIを設計したとき、その他のモジュールとの関係を検討したシミュレーションを可能にしたリする為の検証用データD3を有する。

【0070】上記記録媒体71に格納されて提供されるホストインタフェース部12の回路モジュールデータを用いて半導体集積回路の設計を行えば、他のIPモジュールデータを用いて構成されるようなコーデック部10等の他の回路モジュールによるメモリの固定的な利用形態との間のアドレスマッピングに関する齟齬若しくは不整合の発生を未然に防止することが容易になる。詳しく説明すると、コーデック部10のIPモジュールデータは基本的にそれ固有の機能を実現し、その機能の一つと

21

してワークエリアとしてのRAMの利用形態が最適化されて決まっている場合が多い。そのようなとき、他のIPモジュールもそれ固有の機能による独自の論理でワークRAMに対する利用形態が固定的に決定されているなら、相互に同一アドレスエリアに対するRAMアクセスが衝突する事態を避けられない。このとき、ホストインタフェースモジュール12のIPモジュールデータはプロトコル変換用領域25のアドレスマッピングをフレキシブルに決定できる機能が保証されている。したがって、上記ホストインタフェースモジュール12を採用した半導体集積回路の設計を容易化することができる。

【0071】以上説明したシリアルバスとパラレルATA/ATAPIとの間のデータ構造変換によれば、所謂UMA方式によって管理するメモリ5上に、データ構造の異なる情報をフレキシブルに格納可能であり、データ構造の変換機能を有するプロトコル変換部24により、メモリアクセス境界の制限を受けることなく高速なデータ構造変換もしくはプロトコル変換を実現することができる。

【0072】シリアルとパラレル間のデータ構造変換は、RAM5のデータを制御部30の制御に基づいてデータ処理部40で処理することにより実現されるから、処理ルーチンの変更、暗号処理回路等の追加等により、他のシリアルインタフェースプロトコルとパラレルATA/ATAPIインタフェースとの間のデータ構造もしくはプロトコル変換機能を実装することが可能である。

【0073】所謂UMA方式のプロトコル変換用メモリ領域とデコード用メモリ領域双方からのデータを外部シリアルバスインタフェースのプロトコルに成形する機能を有するため、IPモジュールによって構成される他モジュールとの間のメモリエリアの利用に関する整合性を図るのが容易になる。

【0074】以上本発明者によってなされた発明を実施形態に基づいて具体的に説明したが、本発明はそれに限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能であることは言うまでもない。

【0075】例えば、シリアルバスに含まれるデータ情報と制御情報は別々のシリアルバスで転送される場合もある。パラレルATA/ATAPIによる入出力切換え機能については採用しなくてもよい。

【0076】また、ホストインタフェース部12をオンチップした半導体集積回路は、図1の構成に限定されず、DRAM5をオンチップし、また、マイクロコンピュータ6もしくはCPUをオンチップしてもよい。

【0077】また、シリアルバスとパラレル変換に用いるシリアル入力データ格納領域やスクウェアレジスタ領域などのメモリ上におけるマッピングは上記の例に限定されず適宜変更可能である。そのような用途のメモリはDRAMに限定されずSRAMであってもよい。

22

い。DRAMの場合には当然クロック同期動作タイプのシンクロナスDRAMを採用するのが得策である。

【0078】また、IPモジュールデータはソフトウェアIPモジュールデータであってもよい。即ち、図9のマスクパターンデータD1を除いて、機能記述データD2及び検証用データD3によって構成されることでの設計データである。

【0079】本発明はDVDドライブだけでなく、CD-ROM、CD-RW（コンパクト・ディスクレライタブル）、MO（磁器・光学）の各ディスクドライブ等にも広く適用することが可能である。更に、本発明はディスクドライブ以外のシリアルインタフェースにも広く適用することができる。

【0080】

【発明の効果】本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば下記のとおりである。

【0081】すなわち、シリアルバスを構成する異なった機能情報の格納領域（第1バス領域、第2バス領域）の制御情報領域、第2バス領域のデータ情報領域）に対して、メモリに複数の異なる機能領域をフレキシブルにマッピングし、そこに必要な情報を振り分けて、シリアルバスのパラレル変換、即ち、シリアルバスのインタフェースプロトコルを、パラレルバスのインタフェースプロトコルに変換することができる。

【0082】これにより、シリアルバスとして転送される情報に対してデータ、コマンド等を認識して抽出するような処理を、CPUによるソフトウェア処理で行う場合、転送レートが高速のシリアルバスを想定すると、シリアルバスは一旦第1メモリ領域にバッファリングされ、その第1メモリ領域の大きさをフレキシブルに決定できるから、CPUの負荷を増大させなく、シリアルバスのパラレル変換がシステム全体の処理能力に影響せず、或はシリアル伝送の高速化を制限することなく、シリアルバスのパラレル変換が可能になる。

【0083】上記より、シリアルバスとして転送される情報からデータ構造若しくはビット長が異なるデータ、コマンド等を、後処理が便利のように、領域を分けてメモリに一時的に格納することができる。

【0084】上記より、情報記録のための変調処理、記録情報再生のための復調処理を行うデジタル信号処理手段が用いるワークメモリをシリアルバスに対するパラレル変換等にも利用するとき、デジタル信号処理手段によるそのようなワークメモリの利用形態がデジタル信号処理手段による変調・復調処理方式に対して最適化若しくは固有化されていても、そのようなワークメモリをシリアルバスとパラレル変換などの他用途にも利用可能な自由度の高いアドレスマッピングを行うこ

とができる。

【0085】上記により、IPモジュールデータを用いて構成されるようなデジタル信号処理手段等の他の回路モジュールによるメモリの固定的な利用形態と間のアドレスマッピングに関する齟齬若しくは不整合の発生を未然に防止することが容易である。したがって、上記記録媒体に格納されて提供される回路モジュールデータを用いて半導体集積回路の設計を行えば、上記変換処理回路を採用した半導体集積回路の設計を容易化することができる。

【図面の簡単な説明】

【図1】本発明に係る半導体集積回路に含まれるホストインタフェース部の一例を示すブロック図である。

【図2】本発明に係る半導体集積回路を適用したDVDドライブの一例を示すブロック図である。

【図3】DRAMのプロトコル変換用領域及びコーデック用領域の領域分割マッピング例を示す説明図である。

【図4】プロトコル変換用領域及びコーデック用領域の領域分割マッピングの別の例を示す説明図である。

【図5】シリアルバケットの平行変換処理の動作フローを例示する説明図である。

【図6】シリアルバケットの平行変換処理により得られるデータ情報がコーデック用領域に、制御情報がタスクファイルレジスタ領域に格納された状態を示す説明図である。

【図7】シリアルバケットの出力処理フローを例示する説明図である。

【図8】シリアルバケットへの変換処理により得られるコーデック用領域に格納されたデータ情報、タスクファイルレジスタ領域に格納された制御データに、シリアル出力用固定パターンが付加されて、シリアル出力データ格納領域に一時的に保持される状態を示す説明図である。

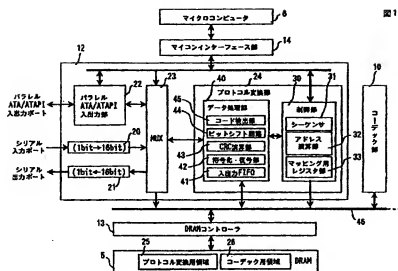
【図9】IPモジュールデータの一例を集積回路の設計ツールのようなコンピュータと共に示した説明図である。

【符号の説明】

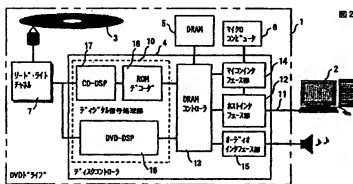
- 1 DVDドライブ
- 2 ホスト装置

- 4 ディスクコントローラ
- 5 DRAM
- 6 マイクロコンピュータ
- 10 デジタル信号処理部
- 12 ホストインタフェース部
- 13 DRAMコントローラ
- 14 マイコンインタフェース
- 24 プロトコル変換部
- 25 プロトコル変換用領域
- 10 25A シリアル入力データ格納領域
- 25B シリアル出力データ格納領域
- 25C シリアル出力用固定パターン格納領域
- 25D タスクファイルレジスタ領域
- 26 コーデック用領域
- 26A, 26B コーデック用領域
- 30 制御部
- 31 シーケンサ
- 32 アドレス演算部
- 33 マッピング用レジスタ部
- 20 Reg S1~Reg S4 プロトコル変換用領域のスタートアドレスレジスタ
- Reg E1~Reg E4 プロトコル変換用領域のエンドアドレスレジスタ
- Reg H1~Reg H4 プロトコル変換用領域のハイアドレスレジスタ
- Reg W1~Reg W4 プロトコル変換用領域のウィルスレジスタ
- Reg S5 コーデック用領域のスタートアドレスレジスタ
- 30 Reg S5A, Reg S5B コーデック用領域のスタートアドレスレジスタ
- 40 データ処理部
- 41 入出力FIFO
- 42 符号化・復号部
- 43 CRC演算部
- 44 ビットシフト回路
- 45 コード検出部
- 46 バス

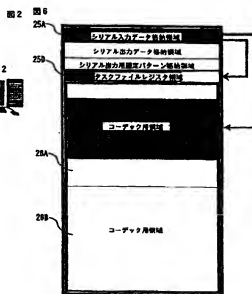
【図1】



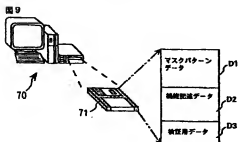
【図2】



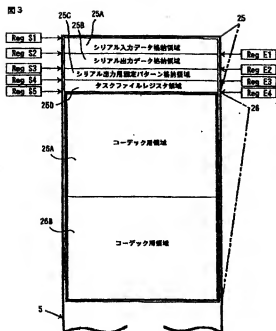
【図6】



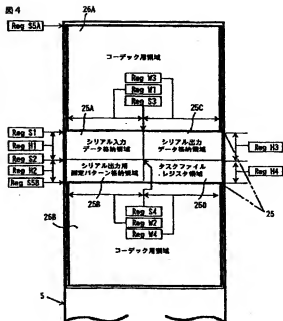
【図9】



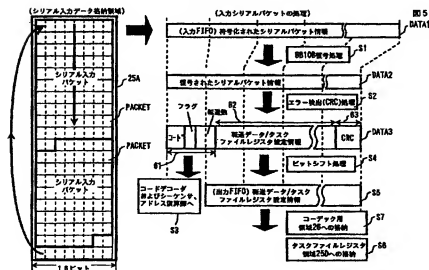
【圖3】



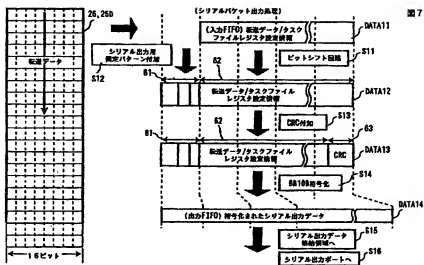
【图 4】



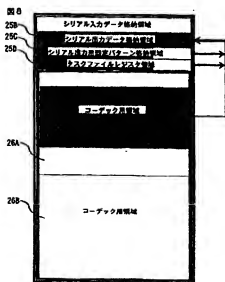
【图5】



【图7】



【圖 8】



フロントページの続き

(51) Int. Cl. ⁷
H 0 4 L 12/56

識別記号

F I
H O 4 L 12/56

ターコット (参考)

(72)発明者 松田 圭介

東京都小平市上水本町5丁目22番1号 株
式会社日立超エル・エス・アイ・システム
ズ内

(72)発明者 高田 一幸

東京都小平市上水本町5丁目22番1号 株
式会社日立超エル・エス・アイ・システム
ズ内

(72)発明者 宇部 明博

東京都小平市上水本町5丁目22番1号 株
式会社日立超エル・エス・アイ・システム
ズ内

Fターム(参考) 5B060 AC19 CA17

5B061 AA00 FFD4 GG02

5B065 CA18 CCO8 CED4 CE15

5B077 NNO2 NNO7

5K030 GAO1 HAO8 KAO1 KAO2